

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-341456

(43)Date of publication of application : 22.12.1998

(51)Int.Cl.

H04N 9/804
H04N 9/808
H04N 1/41
H04N 5/92
H04N 7/30
H04N 11/04

(21)Application number : 09-149434

(71)Applicant : CANON INC

(22)Date of filing : 06.06.1997

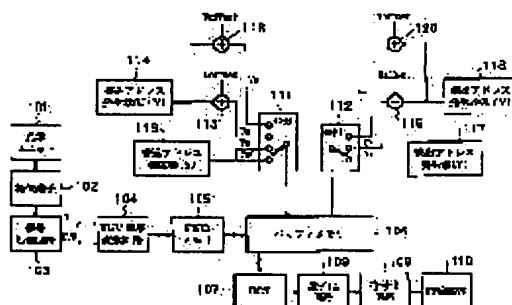
(72)Inventor : RENGAKUJI HIDEYUKI

(54) IMAGE PROCESSOR AND METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an image processor and an image processing method capable of reducing the required capacity of a memory in the case of converting the form of image data from a raster form to a block form.

SOLUTION: A signal processing circuit 103 outputs the image signals of the raster form and a YUV order conversion circuit 104 changes the arranging order of YUV data. The image signals outputted from the YUV order conversion circuit 104 are stored in a buffer memory 106 by the processing unit (1MCU) of a DCT 107 for each YUV. Along with that, the image signals are read from the buffer memory 106 by the unit of 1MCU for each YUV in a prescribed block size and the read image signals of the block form are supplied to the DCT 107.



LEGAL STATUS

[Date of request for examination] 19.12.2001

[Date of sending the examiner's decision of rejection] 04.04.2005

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection] 2005-008511

[Date of requesting appeal against examiner's] 06.05.2005

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-341456

(43)公開日 平成10年(1998)12月22日

| (51)Int.Cl. ⁶ | 識別記号 | F I | |
|--------------------------|-------|---------|---------|
| H 0 4 N | 9/804 | H 0 4 N | 9/80 B |
| | 9/808 | | 1/41 C |
| | 1/41 | | 11/04 Z |
| | 5/92 | | 5/92 H |
| | 7/30 | | 7/133 Z |

審査請求 未請求 請求項の数9 OL (全 13 頁) 最終頁に続く

(21)出願番号 特願平9-149434

(22)出願日 平成9年(1997)6月6日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 蓮覚寺 秀行

東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

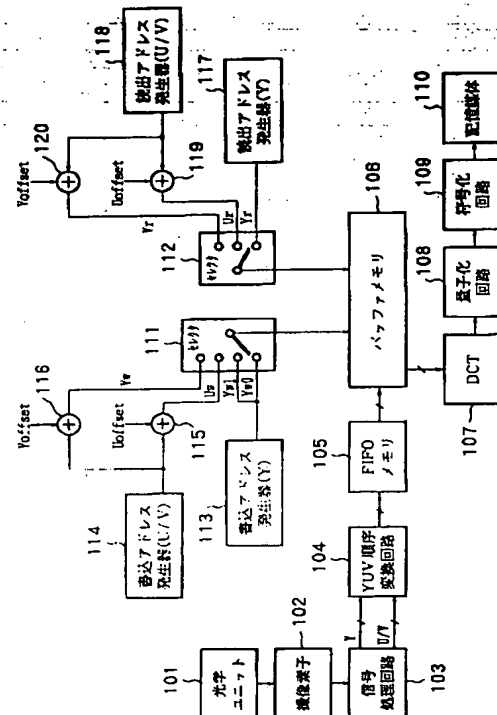
(74)代理人 弁理士 大塚 康德 (外2名)

(54) 【発明の名称】 画像処理装置およびその方法

(57) 【要約】

【課題】 DCTを用いて画像データをリアルタイムに圧縮する場合、YUVデータを分離して処理するために、U/Vデータそれぞれ1ブロック分のメモリ容量をもつFIFOメモリが必要になる。

【解決手段】 信号処理回路103はラスタ形式の画像信号を出力し、YUV順序変換回路104はYUVデータの並び順を変更する。YUV順序変換回路104から出力される画像信号は、DCT107の処理単位(IMCU)で、かつ、YUVごとにパッドメモリ106に格納される。それとともに、パッドメモリ106からは、IMCU単位で、YUVごとに、かつ、所定ブロックサイズで画像信号が読出され、読出されたブロック形式の画像信号はDCT107へ供給される。



【特許請求の範囲】

【請求項1】 ラスタ形式の画像データをブロック形式の画像データに変換する画像処理装置であって、複数の成分からなるラスタ形式の画像データを入力する入力手段と、前記画像データを構成する複数の成分の並び順を変更する変更手段と、前記変更手段から出力される画像データを、その成分ごとに記憶手段に格納するとともに、前記記憶手段から前記成分ごと、かつ、所定の順に所定ブロックサイズの画像データを読み出し、読み出したブロック形式の画像データを出力する制御手段とを有することを特徴とする画像処理装置。

【請求項2】 前記変更手段は、前記画像データの複数の成分を所定単位ごとに、かつ、その成分ごとに時系列に並べて出力することを特徴とする請求項1に記載された画像処理装置。

【請求項3】 前記画像データの各色成分は、前記記憶手段の異なる記憶領域に記憶されることを特徴とする請求項1に記載された画像処理装置。

【請求項4】 さらに、前記記憶手段から読み出されたブロック単位の画像データに対して直交変換を行う変換手段を有し、前記制御手段による前記記憶手段のアクセスは前記直交変換の変換処理単位に行われるとともに、前記記憶手段への画像データの書き込みは前記入力手段における入力単位で行われることを特徴とする請求項1に記載された画像処理装置。

【請求項5】 前記制御手段は、所定ライン分の画像データを前記記憶手段に書き込んだ後、所定時間画像信号の書き込みを中断することを特徴とする請求項4に記載された画像処理装置。

【請求項6】 前記所定時間は、前記記憶手段から前記変換処理単位の画像信号を読み出すのに要する時間であることを特徴とする請求項5に記載された画像処理装置。

【請求項7】 さらに、前記変換手段により処理された画像データを量子化する量子化手段と、前記量子化手段により量子化された画像データを可変長符号化する符号化手段とを有することを特徴とする請求項4から請求項6の何れかに記載された画像処理装置。

【請求項8】 ラスタ形式の画像データをブロック形式の画像データに変換する画像処理方法であって、複数の成分からなるラスタ形式の画像データを入力し、前記画像データを構成する複数の成分の並び順を変更し、前記変更ステップで出力される画像データを、その成分ごとに記憶手段に格納するとともに、前記記憶手段から前記成分ごと、かつ、所定の順に所定ブロックサイズの画像データを読み出し、読み出したブロック形式の画像データを出力することを特徴とする画像処理方法。

【請求項9】 ラスタ形式の画像データをブロック形式の画像データに変換する画像処理のプログラムコードが格納された記録媒体であって、複数の成分からなるラスタ形式の画像データを入力するステップのコードと、前記画像データを構成する複数の成分の並び順を変更するステップのコードと、前記変更ステップで出力される画像データを、その成分ごとに記憶手段に格納するとともに、前記記憶手段から前記成分ごと、かつ、所定の順に所定ブロックサイズの画像データを読み出し、読み出したブロック形式の画像データを出力するステップのコードとを有することを特徴とする記録媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は画像処理装置およびその方法に関し、とくに、ラスタ形式の画像データをブロック形式の画像データに変換する画像処理装置およびその方法に関するものである。

【0002】

【従来の技術】ディジタル画像信号の圧縮には、例えば離散コサイン変換DCT(Discrete Cosine Transformation)が利用される。DCTを行うには、図1に示すように、画像データを所定サイズのブロックに分割する必要がある。JPEGにおいて、このブロックの大きさは8×8画素である。このため、DCTをリアルタイムに行うには8ライン分の画像データを格納することが可能なバッファメモリが必要になる。さらに、画像データをリアルタイム圧縮する場合、ラスタ形式の画像データをブロックに分割する間に発生する画像データを保持する必要がある。

【0003】

【発明が解決しようとする課題】しかしながら、従来はこのようなデータ形式の変換を効率よく行うことができなかった。とくに、複数の成分からなるデータの場合に不十分であった。

【0004】本発明は、上述の問題を解決するためのものであり、画像データの形式をラスタ形式からブロック形式に変換する場合に、必要なメモリの容量を低減することができる画像処理装置およびその方法を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明は、前記の目的を達成する一手段として、以下の構成を備える。

【0006】本発明にかかる画像処理装置は、ラスタ形式の画像データをブロック形式の画像データに変換する画像処理装置であって、複数の成分からなるラスタ形式の画像データを入力する入力手段と、前記画像データを構成する複数の成分の並び順を変更する変更手段と、前記変更手段から出力される画像データを、その成分ごとに記憶手段に格納するとともに、前記記憶手段から前記

成分ごと、かつ、所定の順に所定ブロックサイズの画像データを読み出し、読み出したブロック形式の画像データを出力する制御手段とを有することを特徴とする。

【0007】また、本発明にかかる画像処理方法は、ラスタ形式の画像データをブロック形式の画像データに変換する画像処理方法であって、複数の成分からなるラスタ形式の画像データを入力し、前記画像データを構成する複数の成分の並び順を変更し、前記変更ステップで出力される画像データを、その成分ごとに記憶手段に格納するとともに、前記記憶手段から前記成分ごと、かつ、所定の順に所定ブロックサイズの画像データを読み出し、読み出したブロック形式の画像データを出力することを特徴とする。

【0008】

【発明の実施の形態】まず、本発明にかかる実施形態の概念を説明する。図2は画像データをリアルタイム圧縮するための構成例を示す図で、図2によりラスタ形式の画像データをブロック分割する動作を説明する。

【0009】図2において、光学ユニット1201は、レンズ、シャッタ、絞りなどから構成される。光学ユニット1201を通過した光は、CCDなどから構成される撮像素子1201に像を結ぶ。信号処理回路1203は、撮像素子1202から出力される画像を表すアナログ信号を処理して、輝度信号Yと色差信号U/Vから構成されるデジタル画像信号を出力する。FIFO(First In First Out)メモリ1204は、信号処理回路1203から出力される信号を一時的に保持するものである。

【0010】バッファメモリ1205は、8ライン分の画像データを保持することが可能であり、バッファメモリ1205への書き込みおよび読み出しを行うためのアドレスは、アドレス発生器1206により生成される。また、バッファメモリ1207は、次式に示すように、2ブロック分のメモリ容量をもつ。

$8\text{画素} \times 8\text{画素} \times 8\text{ビット} \times 2 = 1\text{kビット}$

【0011】スイッチ1209により選択された画像データは、DCT1208により二次元のDCTが施され、量子化回路1210により量子化され、符号化回路1211により可変長符号化される。上記の構成により符号化された画像データは、順次、記憶媒体1212に記憶される。

【0012】信号処理回路1203から出力される画像データは、偶数番目の画素と奇数番目の画素において次の関係をもつ。

偶数列: 画像データP(x, y)の上位8ビット(Y, 下位8ビットはU)

奇数列: 画像データP(x, y)の上位8ビット(U, 下位8ビットはV)

ただし、x: 画素の水平位置、y: 画素の垂直位置

【0013】この結果、信号処理回路1203から出力される画像データは、時系列で表すと次のようになる。つまり、輝度データYの数に対して、色差データU/Vの数は1

2に間引かれたことになる。

(Y0, U0), (Y1, V1), (Y2, U2), (Y3, V3), ...

ただし、数字は画素の番号

【0014】信号処理回路1203から出力される画像データは、FIFOメモリ1204を経てバッファメモリ1205に格納される。バッファメモリ1205に格納された画像データは、アドレス発生器1206が生成するアドレスに従い読み出される。つまり、アドレス発生器1206により発生される読み出しアドレスにより、ラスタ形式の画像データがブロックに分割されて読み出されることになる。

【0015】バッファメモリ1205からDCT1208へ画像データを入力する場合、まずスイッチ1209により輝度データYを選択する。つまり、バッファメモリ1205から出力されるブロック分割された画像データの上位8ビットである輝度データYがDCT1208へ入力される。一方、ブロック分割された画像データの低位8ビットである色差データU/Vは、一旦、バッファメモリ1207に格納される。

【0016】図3はバッファメモリ1207の構成例を示す図で、スイッチ1301によりU/VデータはそれぞれFIFO1302, 1303に格納される。また、スイッチ1304によりFIFO1302, 1303からU/Vデータを選択して読み出すことができる。

【0017】バッファメモリ1205からの画像データの読み出しが1MCU(Minimum Coded Unit)分に達した時点で、バッファメモリ1205からの画像データの読み出しが一旦停止される。なお、MCUは、DCTを行う最小処理単位で、例えばY, Y, U, Vで処理を行う場合、つまり、2ブロック分のYデータと各1ブロック分のU/VデータをDCTする場合、1MCUは4ブロック分のデータである。

$1\text{MCU} = 8\text{画素} \times 8\text{画素} \times 8\text{ビット} \times 4 = 2\text{kビット}$

【0018】次に、スイッチ1209によりU/Vデータを選択し、バッファメモリ1207から読み出したU/VデータをDCT1208へ入力する。バッファメモリ1207から1/2MCU分のU/Vデータの読み出しが終了した時点で、それぞれ1ブロック分のU/VデータがDCT1208に送られる。この結果、1MCU分の画像データがY, Y, U, Vの順にDCT1208に送られたことになる。

【0019】また、バッファメモリ1205からブロック形式の画像データを読み出している間、信号処理回路1203から出力されるデータはFIFOメモリ1204に蓄積される。そして、バッファメモリ1205に格納された8ライン分の画像データの読み出しが終了した時点、つまり1MCU分のブロック分割が終了した時点で、FIFOメモリ1204からバッファメモリ1205へ、次の8ライン分の画像データの転送が開始される。

【0020】図4はバッファメモリ1205およびバッファメモリ1207の書き込みおよび読み出しタイミングの一例を示す図である。なお、FIFO1204に必要なメモリ容量は、信号処理回路1203から出力される画像信号の転送レートおよび画像データをブロックに分割するスピードに依存するが、最大で8ライン分の画像データを格納するメモリ容

量が必要になる。

【0021】以上の動作により、Y、U、Vそれぞれの画像データがリアルタイムにブロック分割され、DCTされ、そして符号化されることになり、画像データはリアルタイム圧縮されることになる。

【0022】しかし、上述した技術においては、次のような問題点がある。つまり、上述したように、Y、U、Vデータを分離して処理するために各1ブロック分のメモリ容量をもつFIFOメモリ1302、1303が必要になる。さらに、FIFOメモリ1302、1303からU/Vデータを読み出している間、信号処理回路1203から出力される信号を一時的に保持するのに十分なメモリ容量をもつFIFOメモリ1204も必要になる。

【0023】以下、本発明にかかる一実施形態の画像処理装置を図面を参照して詳細に説明する。

【0024】

【第1実施形態】

【構成】図5は第1実施形態の画像圧縮装置の構成例を示すブロック図である。

【0025】図5において、光学ユニット101は、レンズ、シャッタ、絞りなどから構成される。光学ユニット101を通過した光は、CCDなどから構成される撮像素子102に像を結ぶ。信号処理回路103は、撮像素子102から出力される画像を表すアナログ信号を処理して、輝度信号Yと色差信号U/Vから構成されるデジタル画像信号を出力する。YUV順序変換回路104は、詳細は後述するが、信号処理回路103から出力されるYUVデータの順序を変更する。

【0026】YUV順序変換回路104から出力される信号は、FIFOメモリ105に一時的に格納された後、8ライン分の画像データを保持するためのメモリ容量をもつバッファメモリ106に格納され、ブロックに分割されて読出される。ブロックに分割された画像データは、DCT107により二次元のDCTが施され、量子化回路108により量子化され、符号化回路109により可変長符号化される。上記の構成により符号化された画像データは、順次、記憶媒体110に記憶される。

【0027】【順序変換回路】図6AはYUV順序変換回路104の構成例を示すブロック図で、四つの遅延回路Dと四入力一出力の連動する三つのスイッチから構成され、信号処理回路103から入力されるYUVデータの順序を変更する。つまり、図6Bに示すように、(Y0, U0), (Y1, V1), (Y2, U2), (Y3, V3), ...の順に入力されるデータを、(Y0, Y1), (Y2, Y3), (U0, U2), (V1, V3), ...という順番で出力する。なお、添字は画素の番号であり、YUVデータの順序は1MCU単位で並べ替える。

【0028】【バッファメモリ】図7はバッファメモリ106の領域の一例を示す図である。つまり、バッファメモリ106へ入力される画像データは、YUVの成分ごとにバッファメモリ106の所定の領域に書込まれる。例えば、Yデ

ータはバッファメモリ106のアドレス「0」から書込まれ、Uデータはバッファメモリ106のアドレス「U offset」から書込まれ、Vデータはバッファメモリ106のアドレス「V offset」から書込まれる。

【0029】このため、本実施形態においては、書込用のアドレスを発生する発生器と、読出用のアドレスを発生する発生器とが、それぞれ二つある。

【0030】図5において、書込アドレス発生器(Y)113はY画像データを書込むためのアドレスを発生し、書込アドレス発生器(U/V)114はU/V画像データを書込むためのアドレスを発生する。また、読出アドレス発生器(Y)117はY画像データを読出すためのアドレスを発生し、読出アドレス発生器(U/V)118はU/V画像データを読出すためのアドレスを発生する。そして、書込アドレス発生器(U/V)114および読出アドレス発生器118により発生されるアドレスには、加算器115および加算器119により「U offset」が加算され、加算器116および加算器120により「V offset」が加算される。

【0031】また、バッファメモリ106の書込アドレスは、書込アドレス発生器(Y)の出力Yw0、書込アドレス発生器(Y)の出力Yw1、加算器115の出力Uw、および、加算器116の出力Vwの四つのアドレスを、セクタ111により周期的に選択することで得られる。一方、バッファメモリ106の読出アドレスは、読出アドレス発生器(Y)117の出力Yr、加算器119の出力Ur、および、加算器120の出力Vrの三つのアドレスから、読出すブロックの色成分に該当するアドレスをセクタ112により選択することで得られる。

【0032】また、バッファメモリ106のアクセスは1MCU単位で管理され、バッファメモリ106から1MCUの画像データを読出した時点で、バッファメモリ106への1MCU分の書込みを許可する。図8はバッファメモリ106のアクセス例を示す図である。ただし、同図においては、一面面の横方向のサイズを320画素とし、1MCUはYが2ブロック、U/Vが各1ブロックの合計4ブロックであるから、8ライン分の画像データは20MCUに分割される。
320画素/8画素×2/4 = 20 MCU

【0033】また、図8に示すように、8ライン目の画像データをバッファメモリ106に書込んだ後、所定の期間Taを設け、この期間Taにおいては、新たなデータをバッファメモリ106へ書込むことを禁止する。つまり、この期間Taは、バッファメモリ106から1MCU分のブロック形式の画像データを読出すことにより、次のラインの1MCU分のブロック形式の画像データを書き込むための空きをつくる期間である。勿論、バッファメモリ106に8ライン分+1MCU分のメモリ容量をもたせれば、期間Taを設ける必要はない。

【0034】【アドレスの発生方法】上記のように、バッファメモリ106のアクセスはMCU単位に行われるため、その書込用および読出用のアドレスも特別なルールの基

に発生する必要がある。

【0035】アドレスの下位3ビットは単純なリニアカウンタアップで発生する。つまり、0, 1, 2, 3, 4, 5, 6, 7, 0, 1, …の順に発生すればよい。一方、上位4ビットは次の方法で発生する。なお、以下の説明においては、ラスタ順に並んでいる八画素の画像データを1セグメントと呼ぶ。また、水平1ラインを1Hで表す。

【0036】セグメントに対してMCU単位にバッファメモリへの書込みおよび読出しを行うには、図14に示す順序でセグメントの読み書きを行えばよい。ただし、一画面の1Hの画素数は八の倍数にする。また、一画面の最初の8H分の画像データをバッファメモリ106に書き込むときはアドレスをリニアに発生する。

【0037】図15は1Hが96画素で構成される場合にバッファメモリ106に格納されるセグメントが変化する様

$$An(X) = \{(X \cdot h \cdot n) \bmod 8h\} + \text{int}\{X \cdot h \cdot n / 8h\} \quad \cdots (1)$$

ただし、 $h \cdot n$ は h の n 乗を表す

$$An(X) = a + 8b \text{ のとき } An+1(X) = ha + b \quad \cdots (2)$$

$$X = 0 \text{ のとき } An(0) = 0 \quad \cdots (3)$$

$X \geq 2$ のとき

$$An(X+1) = \{(An(X) + An(1)) \bmod 8h\} + \text{int}\{(An(X) + An(1)) / 8h\} \quad \cdots (4)$$

【0040】この結果、アドレス発生器を図16のように構成すればよい。

【0041】[FIFOメモリ] 上記の期間 Ta においてバッファメモリ106への書込みが禁止されるので、信号処理回路103から出力される画像データをFIFOメモリ105に一時的に記憶する必要がある。しかし、期間 Ta の開始は、8ライン分のラスタ形式の画像データがバッファメモリ106へ書込まれた時点であり、図9に示す水平ブランキング期間 Thd の開始と同期することになる。この水平ブランキング期間 Thd とは、CCDなどの撮像素子の種類や駆動方法により決まる期間であり、撮像素子1202から画像信号が出力されない期間である。従って、FIFOメモリ105に画像データを書込む必要がある期間 $Tfifo$ 、バッファメモリ106から1MCU分の画像データを読出すのに必要な期間 $Tmcu$ および水平ブランキング期間 Thd の関係は次のようになる。 $Tfifo = Tmcu - Thd$

【0042】ここで、 $Tmcu > Tfifo$ であるから、 $Tfifo$ の期間に発生する画像データが格納されるFIFOメモリ105のメモリ容量は、1MCU分のデータサイズよりも小さくてよい。さらに、上式において、 $Tfifo$ が負になるような条件であれば、FIFOメモリ105をなくすこともできる。

【0043】このように、本実施形態によれば、YUV順序変換回路104により画像データの順番をその成分ごとに並べ替え、その領域が画像データの成分ごとに分割されたバッファメモリ106にMCU単位で格納する。従って、DCT107に供給する形態に応じて、つまり、その成分ごとにバッファメモリ106から画像データをMCU単位に読出す

子を示す図である。ただし、同図(a)に示す()で囲んだ数字はそのセルのアドレスを示す数字で、アドレス発生器により発生される上位4ビットのアドレスに対応する。

【0038】ここで、 $An(X)$ がセグメント X について、 n 回目に読出される、または、書込まれるセルのアドレスを示すすると、例えばセグメント31について次のように変化することになる。

$$A1(31) = 31$$

$$A2(31) = 87$$

$$A3(31) = 94$$

$$A3(31) = 83$$

【0039】1Hの画素数を8hで表すと、セグメント X について、 n 回目に読出される、または、書込まれるセルのアドレスは次のようになる。

式(1)より、

$$\cdots (2)$$

$$\cdots (3)$$

20

ことができ、バッファメモリ106のアクセス（書込みおよび読出し）の効率を改善するとともに、図2に示したU/Vデータを分離するためのFIFOメモリからなるバッファメモリ1207を不要にすることができる。

【0044】さらに、バッファメモリ106の読み書きをMCU単位に行うので、FIFOメモリ105のメモリ容量を低減、あるいは、FIFOメモリ105をなくすることができる。

【0045】なお、上記の説明においては、画像データの圧縮動作についてのみ説明したが、伸長の場合においても、同様のバッファメモリ構成でブロック形式のデータからラスタ形式の画像データに変換することが可能である。

【0046】また、上記の説明においては、信号処理回路103からの出力データが $Y:U:V=4:2:2$ の比率で構成される例を説明したが、 $Y:U:V=4:1:1$ の場合は、その出力が $(Y0, Y1), (Y2, Y3), (Y4, Y5), (Y6, Y7), (U0, U4), (V2, V6), (Y8, Y9), \dots$ になるように、YUV順序変換回路104を構成すればよい。また、 $Y:U:V=4:4:4$ の場合は、その出力が $(Y0, Y1), (U0, U1), (V0, V1), (Y2, Y3), (U2, U3), (V2, V3), (Y4, Y5), \dots$ になるように、YUV順序変換回路104を構成すればよい。

【0047】

【第2実施形態】以下、本発明にかかる第2実施形態の画像処理装置を説明する。なお、第2実施形態において、第1実施形態と略同様の構成については、同一符号を付して、その詳細説明を省略する。

【0048】次に、第1実施形態におけるYUV変換回路104と、バッファメモリ106への書込アドレスだけが異なる

第2実施形態について説明する。

【0049】図10は第2実施形態におけるYUV変換回路104の構成例を示すブロック図で、二つの遅延回路Dと四入力出力の連動する二つのスイッチから構成され、信号処理回路103から入力されるYUVデータの順序を変更する。つまり、(Y0, U0), (Y1, V1), (Y2, U2), (Y3, V3), …の順に入力されるデータを、図11に示すように、(Y0, V1), (U0, U2), (V1, V3), (Y2, Y3), …という順番で出力する。

【0050】また、第1実施形態においてバッファメモリ106に対してn番目に書込みを行うアドレスAD(n)とする場合、第2実施形態においてバッファメモリ106に対してn番目に書込みを行うアドレスAD'(n)は、次の関係になる。従って、次の関係の書込アドレスが書込アドレス発生器(Y)113および書込アドレス発生器(U/V)114により発生されるようにする。

$$\begin{aligned} AD'(4n) &= AD(4n) \\ AD'(4n+1) &= AD(4n+2) \\ AD'(4n+2) &= AD(4n+3) \\ AD'(4n+3) &= AD(4n+1) \end{aligned}$$

【0051】

【第3実施形態】以下、本発明にかかる第3実施形態の画像処理装置を説明する。なお、第3実施形態において、第1実施形態と略同様の構成については、同一符号を付して、その詳細説明を省略する。

【0052】第1実施形態においては、バッファメモリ106からのブロック読出しの開始は、水平ブランキング期間Thdに同期するように行っている。しかし、信号処理回路103の出力がY:U:V=4:2:2の場合、図12に示すように、8nライン目(nは自然数)の16番目の画像データがバッファメモリ106に書込まれた時点で、ブロックに分割した1MCU分のデータの読出しが可能になる。さらに、Y:U:V=4:2:2のときの1MCUは256画素分の画像データであるから、ブロックに分割した1MCU分のデータの読出しが終了した時点では、必ず、次のブロックに分割した1MCU分のデータの読出しが可能である。つまり、8nラインの16番目の画像データがバッファメモリ106に書込まれたことを検出し、バッファメモリ106からの1MCU分のデータの読出しを開始することができる。

【0053】この結果、図13に示すタイミングで、FIFOメモリ105への書込みと、バッファメモリ106への書込みが行われる。画像データの1ラインが4画素で構成されるとすると、上記の期間Tfifo、期間Tmcu、期間Thdの関係は次のようになる。

$$T_{fifo} = T_{mcu} + (H - 16) \cdot H \cdot Thd$$

ただし、Th: 1ライン分の画像データが出力される期間

【0054】やはりTmcu > Tfifoであるから、Tfifoの期間に発生する画像データが格納されるFIFOメモリ105のメモリ容量は、1MCU分のデータサイズよりも小さくてもよく、Tfifoが負になるような条件であれば、FIFOメモリ105をなくすこともできる。

【0055】以上説明した各実施形態によれば、画像データを圧縮または伸長する画像処理装置およびその方法において、ラスタ形式の画像データをブロックに分割するのに必要なメモリ、および、それらメモリのメモリ容量を低減することができる。従って、よりコンパクトで消費電力の少ない回路構成により、ラスタ形式の画像データをブロックに分割して、DCT、量子化および符号化を施すことにより、画像データを圧縮することができる。

10 【0056】

【他の実施形態】なお、本発明は、複数の機器(例えばホストコンピュータ、インタフェイス機器、リーダ、プリンタなど)から構成されるシステムに適用しても、一つの機器からなる装置(例えば、複写機、ファクシミリ装置など)に適用してもよい。

【0057】また、本発明の目的は、前述した実施形態の機能を実現するソフトウェアのプログラムコードを記録した記憶媒体を、システムあるいは装置に供給し、そのシステムあるいは装置のコンピュータ(またはCPUやMPU)が記憶媒体に格納されたプログラムコードを読み出し実行することによっても、達成されることは言うまでもない。この場合、記憶媒体から読出されたプログラムコード自体が前述した実施形態の機能を実現することになり、そのプログラムコードを記憶した記憶媒体は本発明を構成することになる。プログラムコードを供給するための記憶媒体としては、例えば、フロッピーディスク、ハードディスク、光ディスク、光磁気ディスク、CD-ROM、CD-R、CD-R/W、DVD-ROM、DVD-RAM、磁気テープ、不揮発性のメモリカード、ROMなどを用いることができる。

20 【0058】また、コンピュータが読出したプログラムコードを実行することにより、前述した実施形態の機能が実現されるだけでなく、そのプログラムコードの指示に基づき、コンピュータ上で稼働しているOS(オペレーティングシステム)などが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0059】さらに、記憶媒体から読出されたプログラムコードが、コンピュータに挿入された機能拡張カードやコンピュータに接続された機能拡張ユニットに備わるメモリに書込まれた後、そのプログラムコードの指示に基づき、その機能拡張カードや機能拡張ユニットに備わるCPUなどが実際の処理の一部または全部を行い、その処理によって前述した実施形態の機能が実現される場合も含まれることは言うまでもない。

【0060】

【発明の効果】以上説明したように、本発明によれば、画像データの形式をラスタ形式からブロック形式に変換する場合に、必要なメモリの容量を低減する画像処理装置およびその方法を提供することができる。

50 【図面の簡単な説明】

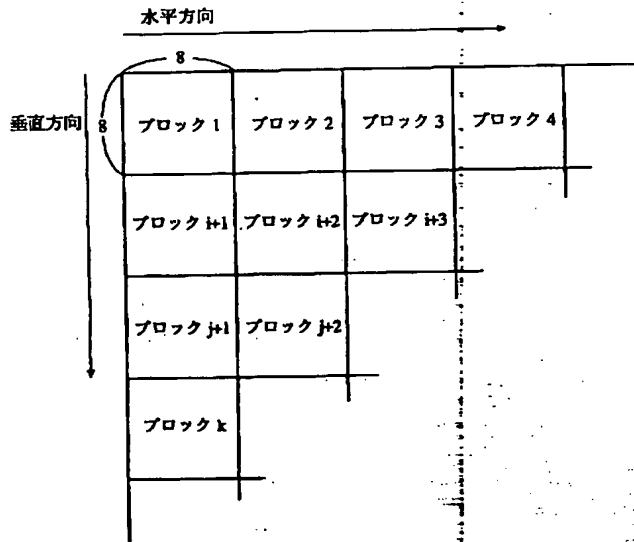
11

12

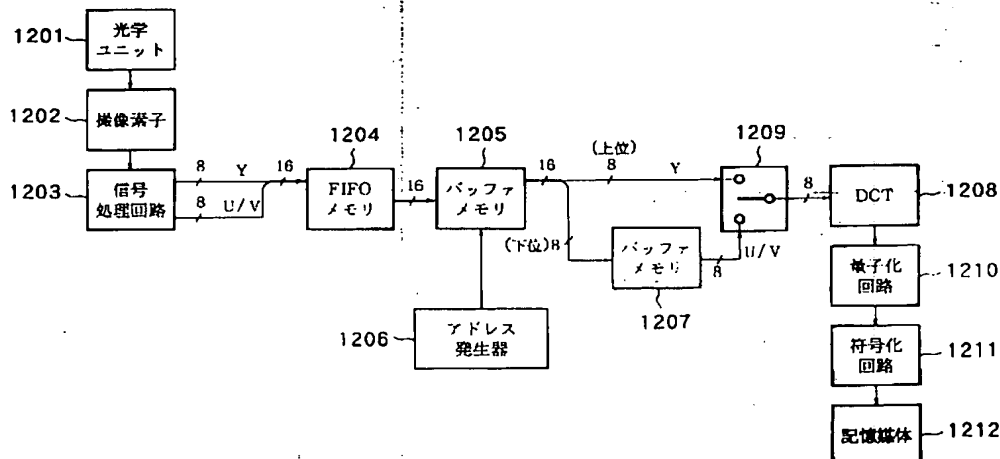
- 【図 1】画像データのブロック分割を示す図、
 【図 2】画像データをリアルタイム圧縮するための構成例を示す図、
 【図 3】図2に示すバッファメモリ1207の構成例を示す図、
 【図 4】図2に示すバッファメモリ1205およびバッファメモリ1207の書込および読出タイミングの一例を示す図、
 【図 5】本発明にかかる第1実施形態の画像圧縮装置の構成例を示すブロック図、
 【図 6 A】図5に示すYUV順序変換回路の構成例を示すブロック図、
 【図 6 B】YUV順序変換回路の入出力を示す図、
 【図 7】図5に示すバッファメモリ106の領域の一例を示す図、

- 【図 8】バッファメモリ106のアクセス例を示す図、
 【図 9】水平ブランキング期間Thdを説明する図、
 【図 10】本発明にかかる第2実施形態のYUV変換回路の構成例を示すブロック図、
 【図 11】図10に示すYUV変換回路の入出力を示す図、
 【図 12】本発明にかかる第3実施形態の動作を説明する図、
 【図 13】第3実施形態におけるFIFOメモリ105およびバッファメモリ106の書込タイミングを示す図、
 【図 14】バッファメモリ106のアドレスの生成方法を説明するための図、
 【図 15】バッファメモリ106のアドレスの生成方法を説明するための図、
 【図 16】バッファメモリ106のアドレス生成回路の構成例を示す図である。

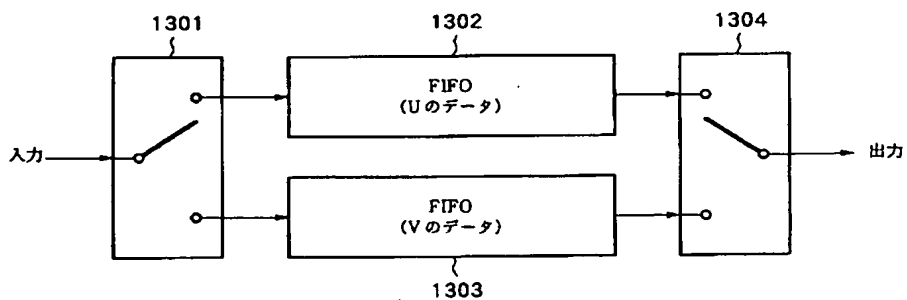
【図 1】



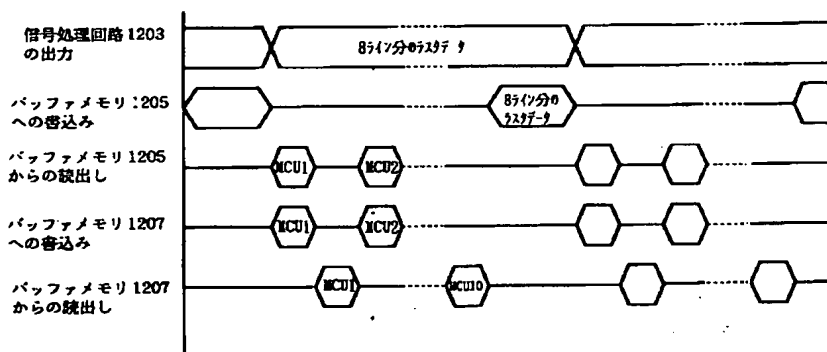
【図 2】



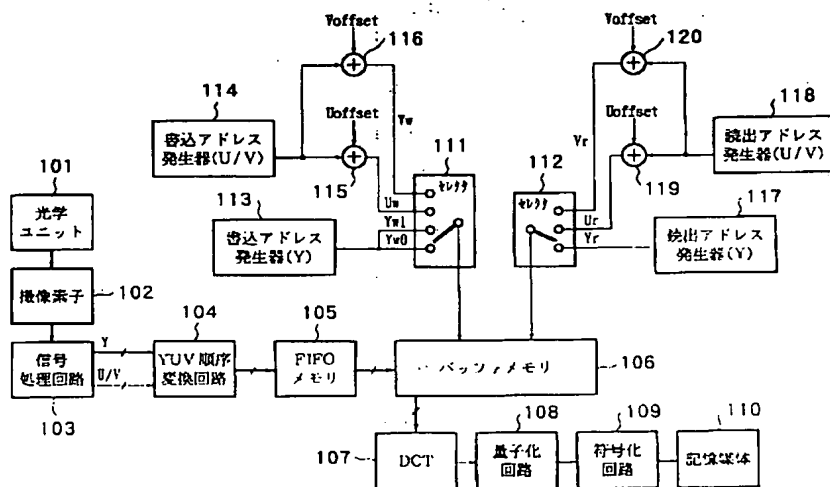
1303



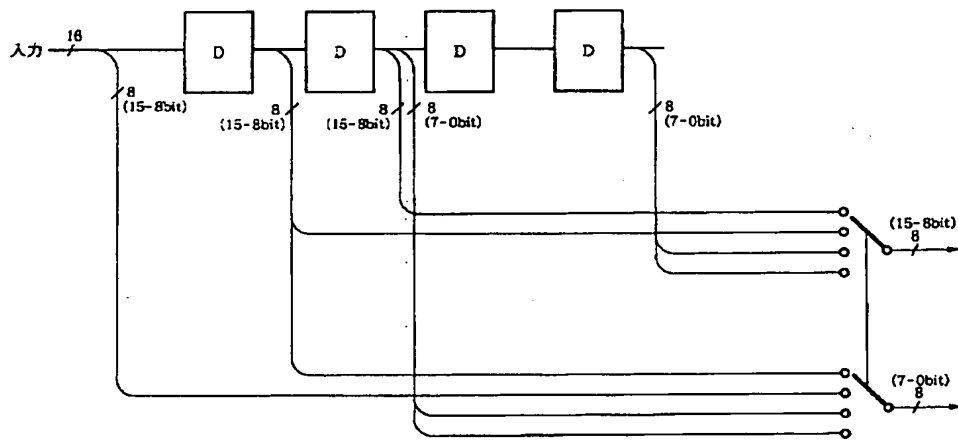
【例 5】



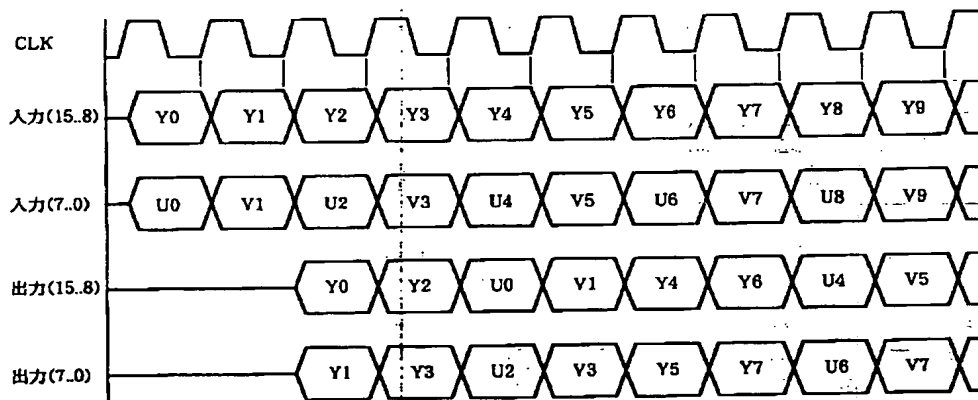
【例 5】



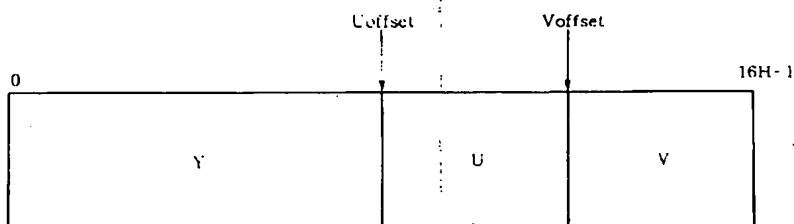
【図 6 A】



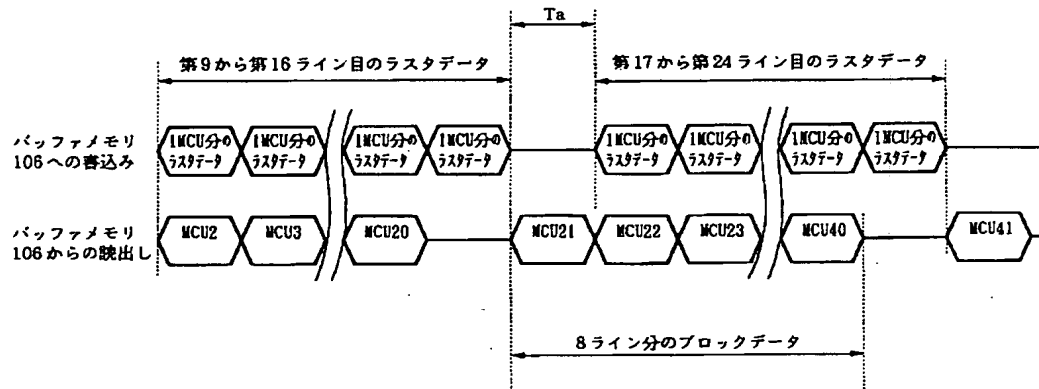
【図 6 B】



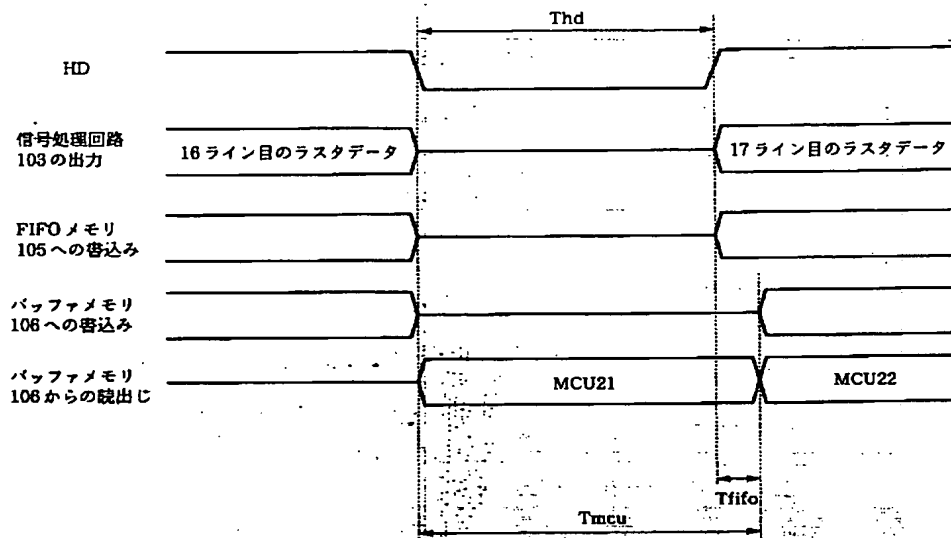
【図 7】



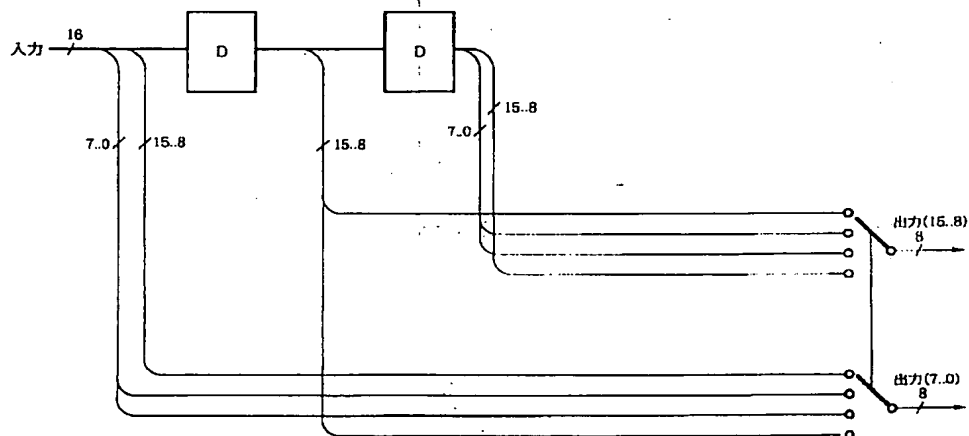
【図 8】



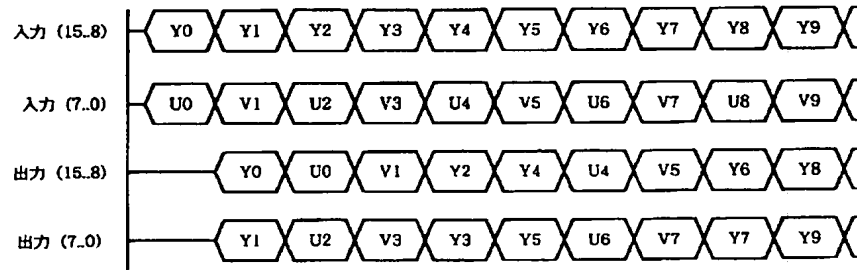
【図 9】



【図 10】

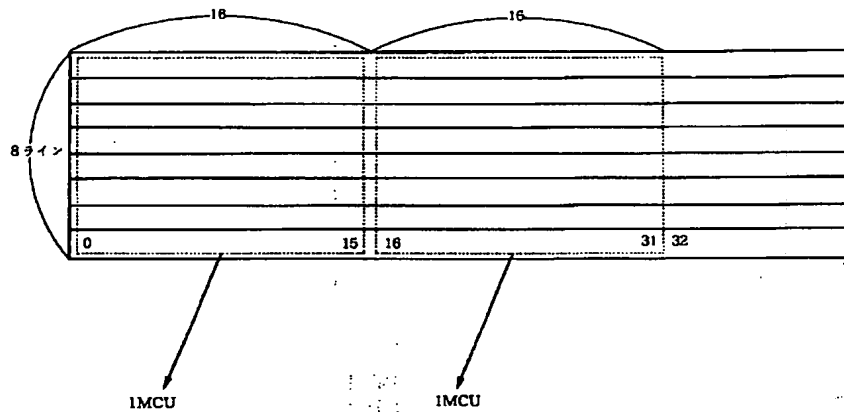


【図 11】

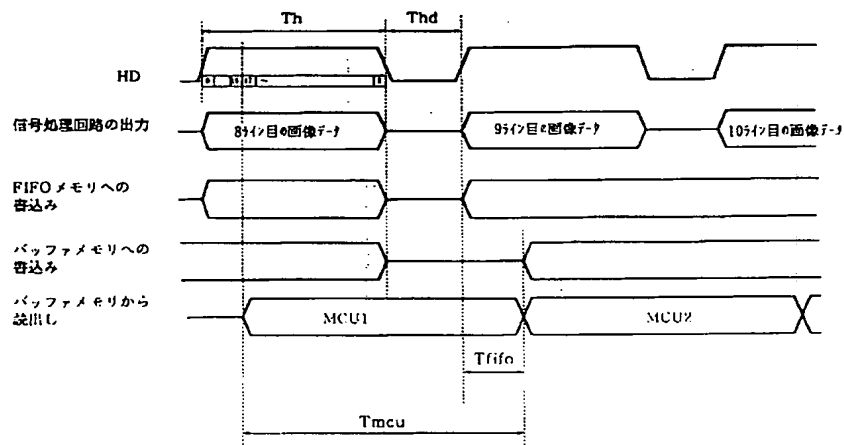


添字は画素番号を示す

【図 12】



【図 13】



【図 14】

| 読み出し順序 | 書き込み順序 |
|---|--|
| セグメント 0 セグメント $H/8$ セグメント $2H/8$. . . セグメント $6H/8$ セグメント $7H/8$ セグメント 1 セグメント $H/8 + 1$. . . セグメント $6H/8 + 1$ セグメント $7H/8 + 1$ セグメント 2 セグメント $H/8 + 2$ セグメント $2H/8 + 2$. . . セグメント $5H/8 + (H/8 - 1)$ セグメント $6H/8 + (H/8 - 1)$ セグメント $7H/8 + (H/8 - 1)$ | セグメント 0 セグメント 1 セグメント 2 . . . セグメント 6 セグメント 7 セグメント 8 セグメント 9 . . . セグメント 14 セグメント 15 セグメント 16 セグメント 17 セグメント 18 . . . セグメント $7H/8 + (H/8 - 3)$ セグメント $7H/8 + (H/8 - 2)$ セグメント $7H/8 + (H/8 - 1)$ |

【図 15】

セル の アドレス

| | | | | | | | | | | | |
|------|------|------|------|------|------|------|------|------|------|------|------|
| (0) | (1) | (2) | (3) | (4) | (5) | (6) | (7) | (8) | (9) | (10) | (11) |
| (12) | (13) | (14) | (15) | (16) | (17) | (18) | (19) | (20) | (21) | (22) | (23) |
| (24) | (25) | (26) | (27) | (28) | (29) | (30) | (31) | (32) | (33) | (34) | (35) |
| (36) | (37) | (38) | (39) | (40) | (41) | (42) | (43) | (44) | (45) | (46) | (47) |
| (48) | (49) | (50) | (51) | (52) | (53) | (54) | (55) | (56) | (57) | (58) | (59) |
| (60) | (61) | (62) | (63) | (64) | (65) | (66) | (67) | (68) | (69) | (70) | (71) |
| (72) | (73) | (74) | (75) | (76) | (77) | (78) | (79) | (80) | (81) | (82) | (83) |
| (84) | (85) | (86) | (87) | (88) | (89) | (90) | (91) | (92) | (93) | (94) | (95) |

(a)

最初の 8 H のラスタ を書き込んだ状態

| | | | | | | | | | | | |
|----|----|----|----|----|----|----|----|----|----|----|----|
| 0 | 1 | 2 | 3 | 4 | 5 | 6 | 7 | 8 | 9 | 10 | 11 |
| 12 | 13 | 14 | 15 | 16 | 17 | 18 | 19 | 20 | 21 | 22 | 23 |
| 24 | 25 | 26 | 27 | 28 | 29 | 30 | 31 | 32 | 33 | 34 | 35 |
| 36 | 37 | 38 | 39 | 40 | 41 | 42 | 43 | 44 | 45 | 46 | 47 |
| 48 | 49 | 50 | 51 | 52 | 53 | 54 | 55 | 56 | 57 | 58 | 59 |
| 60 | 61 | 62 | 63 | 64 | 65 | 66 | 67 | 68 | 69 | 70 | 71 |
| 72 | 73 | 74 | 75 | 76 | 77 | 78 | 79 | 80 | 81 | 82 | 83 |
| 84 | 85 | 86 | 87 | 88 | 89 | 90 | 91 | 92 | 93 | 94 | 95 |

(b)

↓ 8 H の画像データの読み書きを行う

2 番目の 8 H のラスタ を書き込んだ状態

| | | | | | | | | | | | |
|---|----|----|----|----|----|----|----|----|----|----|----|
| 0 | 8 | 16 | 24 | 32 | 40 | 48 | 56 | 64 | 72 | 80 | 88 |
| 1 | 9 | 17 | 25 | 33 | 41 | 49 | 57 | 65 | 73 | 81 | 89 |
| 2 | 10 | 18 | 26 | 34 | 42 | 50 | 58 | 66 | 74 | 82 | 90 |
| 3 | 11 | 19 | 27 | 35 | 43 | 51 | 59 | 67 | 75 | 83 | 91 |
| 4 | 12 | 20 | 28 | 36 | 44 | 52 | 60 | 68 | 76 | 84 | 92 |
| 5 | 13 | 21 | 29 | 37 | 45 | 53 | 61 | 69 | 77 | 85 | 93 |
| 6 | 14 | 22 | 30 | 38 | 46 | 54 | 62 | 70 | 78 | 86 | 94 |
| 7 | 15 | 23 | 31 | 39 | 47 | 55 | 63 | 71 | 79 | 87 | 95 |

(c)

↓ 8 H の画像データの読み書きを行う

3 番目の 8 H のラスタ を書き込んだ状態

| | | | | | | | | | | | |
|----|----|----|----|----|----|----|----|----|----|----|----|
| 0 | 64 | 33 | 2 | 66 | 35 | 4 | 68 | 37 | 6 | 70 | 39 |
| 8 | 72 | 41 | 10 | 74 | 43 | 12 | 76 | 45 | 14 | 78 | 47 |
| 16 | 80 | 49 | 18 | 82 | 51 | 20 | 84 | 53 | 22 | 86 | 55 |
| 24 | 88 | 57 | 26 | 90 | 59 | 28 | 92 | 61 | 30 | 94 | 63 |
| 32 | 1 | 65 | 34 | 1 | 67 | 36 | 1 | 69 | 38 | 1 | 71 |
| 40 | 9 | 73 | 42 | 11 | 75 | 44 | 13 | 77 | 46 | 15 | 79 |
| 48 | 17 | 81 | 50 | 19 | 83 | 52 | 21 | 85 | 54 | 23 | 87 |
| 56 | 25 | 89 | 55 | 27 | 91 | 57 | 29 | 93 | 59 | 31 | 95 |

(d)

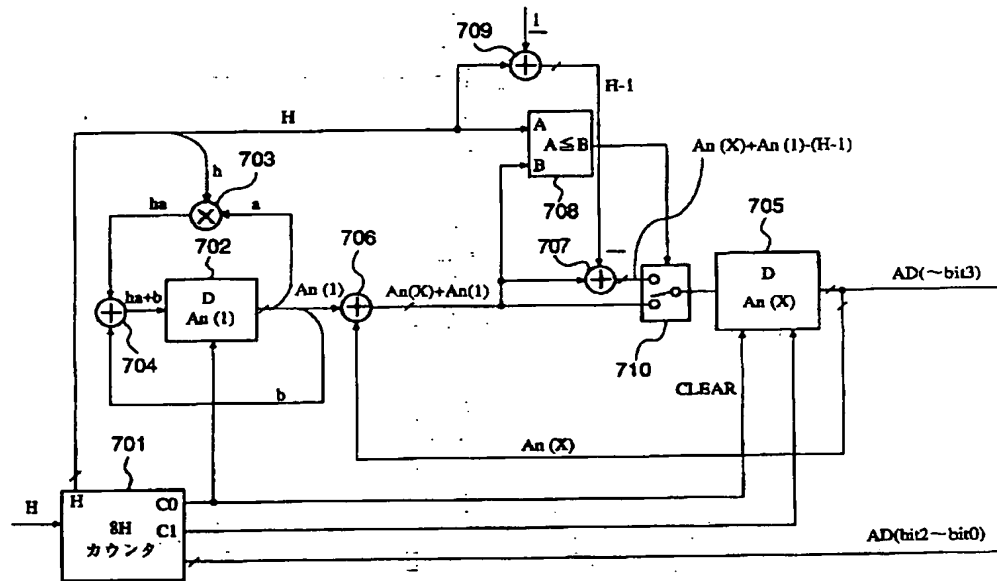
↓ 8 H の画像データの読み書きを行う

4 番目の 8 H のラスタ を書き込んだ状態

| | | | | | | | | | | | |
|----|----|----|----|----|----|----|----|----|----|----|----|
| 0 | 37 | 74 | 16 | 53 | 90 | 32 | 69 | 11 | 48 | 85 | 27 |
| 64 | 6 | 43 | 80 | 22 | 59 | 1 | 38 | 75 | 17 | 54 | 91 |
| 33 | 70 | 12 | 49 | 86 | 23 | 65 | 7 | 44 | 81 | 23 | 60 |
| 7 | 39 | 76 | 18 | 55 | 92 | 34 | 71 | 13 | 50 | 87 | 29 |
| 56 | 8 | 45 | 82 | 24 | 61 | 3 | 40 | 77 | 19 | 56 | 93 |
| 35 | 72 | 14 | 51 | 88 | 30 | 67 | 9 | 46 | 83 | 25 | 62 |
| 4 | 41 | 78 | 20 | 57 | 94 | 16 | 73 | 15 | 52 | 89 | 31 |
| 68 | 10 | 47 | 34 | 26 | 63 | 5 | 42 | 79 | 21 | 58 | 95 |

(e)

【図 1 6】



フロントページの続き

(51) Int. Cl.⁶

識別記号

F I

H 0 4 N 11/04